

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 2000-235489

(43) Date of publication of application : 29.08.2000

(51) Int.CI.

G06F 9/30

G06F 9/38

(21) Application number : 11-035499

(71) Applicant : HITACHI LTD

(22) Date of filing : 15.02.1999

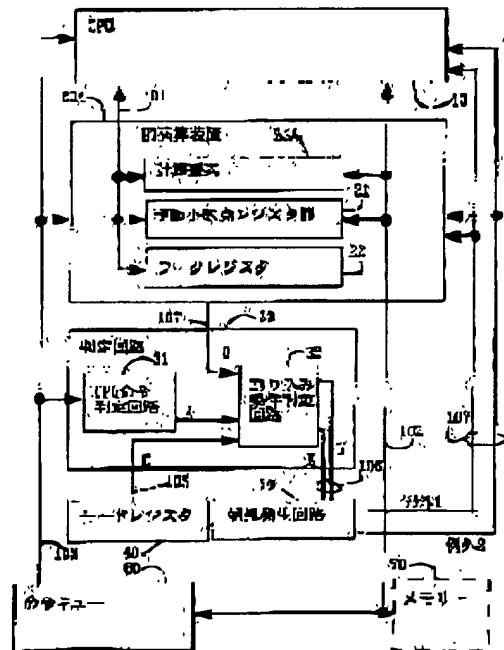
(72) Inventor : HAYASHI TOMOICHI
YAMADA TETSUYA
TSUNODA MASANOBU
NISHII OSAMU
ARAKAWA FUMIO

(54) PROCESSOR

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a processor generating different exceptions at the time of executing an instruction for a sub-arithmetic unit when the sub-arithmetic unit is not added to a CPU, and at the time of designating the non-use of the sub-arithmetic unit by software.

SOLUTION: When a mode bit C settable by a program supplied from a mode register 40 does not instruct the inhibition of the use of a sub-arithmetic unit, and an additional state identification signal B supplied from a signal generating circuit (not shown in a figure) indicates that a sub-arithmetic unit 20A is not added to a CPU 10, a first exception is generated by a judging circuit 30 and an exception generating circuit in response to an instruction to use the sub-arithmetic unit. When the mode bit C instructs the inhibition of the use of the sub-arithmetic unit, a second exception is generated by the judging circuit 30 and the exception generating circuit in response to the instruction to use the sub-arithmetic unit regardless of whether or not the additional state identification signal B indicates that the sub-arithmetic unit is added to the CPU.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

04年11月30日(火) 14時57分 宛先: McDermott

発信: 前田特許事務所

R: 466

P. 12/22

Searching PAJ

Copyright (C), 1998,2003 Japan Patent Office

Partial English Translation of**LAID OPEN unexamined****JAPANESE PATENT APPLICATION****Publication No. 2000-235489****[0020]**

The CPU 10 includes a decoder (not shown in drawings) which decodes an instruction supplied through the bus 103 and a circuit (not shown in drawings) which judges whether the instruction can be executed in the CPU 10 or not and initiates execution of the instruction in a case where the instruction can be executed in the CPU 10. The instruction is not to be executed in a case where the instruction can not be executed in the CPU 10. An arithmetic instruction that the CPU 10 can execute is commonly an arithmetic logic operation. Wherein, although Figures 1 and 2 are drawn as if the instruction queue 60, and a judging circuit 30, a mode register 40 and an exception generating circuit 50 which are to be described later were located outside the CPU 10, these circuits are actually provided in the vicinity of the decoder in the CPU 10.

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-235489

(P2000-235489A)

(43) 公開日 平成12年8月29日 (2000.8.29)

(51) Int.Cl.

G 06 F 9/30
9/38

識別記号

310
370

F I

G 06 F 9/30
9/38

マークコード(参考)

310 F 5 B 0 1 3
370 C 5 B 0 3 3

審査請求 未請求 請求項の数 5 O.L (全 10 頁)

(21) 出願番号 特願平11-35499

(22) 出願日 平成11年2月15日 (1999.2.15)

(71) 出願人 000005108

株式会社日立製作所
東京都千代田区神田駿河台四丁目 6 番地

(72) 発明者 林 伸一

東京都国分寺市東大ヶ谷一丁目280番地
株式会社日立製作所中央研究所内

(72) 発明者 山田 香也

東京都国分寺市東大ヶ谷一丁目280番地
株式会社日立製作所中央研究所内

(74) 代理人 100061833

弁理士 高橋 明夫 (外1名)

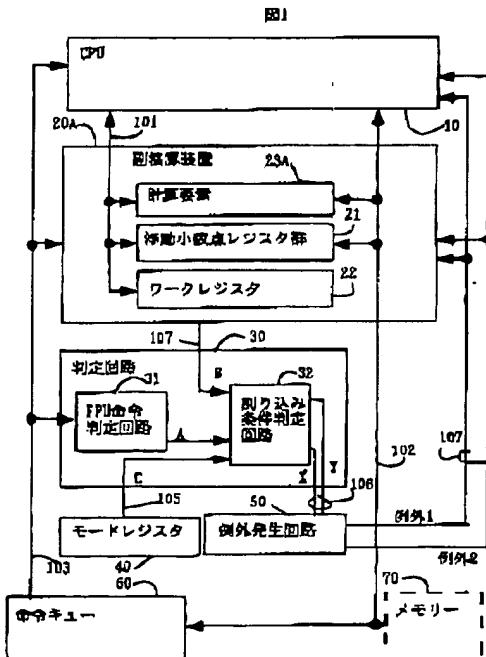
最終頁に続く

(54) 【発明の名称】 プロセッサ

(57) 【要約】

【課題】副演算装置をCPUに付加していないときに副演算装置用の命令を実行した場合と、副演算装置の不使用がソフトウェアで指定されたときに異なる例外を発生できるプロセッサを提供する。

【解決手段】モードレジスタ40から供給されるプログラムで設定可能なモードビットCが副演算装置の使用禁止を指示していないときに、信号発生回路(図示せず)より供給される付加状態識別信号Bが、CPU10に副演算装置20Aが付加されていないことを示す場合、副演算装置を使用する命令に応答して判定回路30と例外発生回路により、第1の例外を発生する。モードビットCが副演算装置の使用禁止を指示しているときには、付加状態識別信号Bが副演算装置がCPUに付加されていることを示すか否かに依らないで、副演算装置を使用する命令に応答して第2の例外を上記回路により発生する。



(2)

特開2000-235489

1

2

【特許請求の範囲】

【請求項1】副演算装置を付加可能なCPUと、上記副演算装置が上記CPUに付加されているか否かの付加状態識別信号を発生する回路と、上記付加状態識別信号が上記副演算装置が上記CPUに付加されていないことを示すときに、上記副演算装置を使用する命令に応答して第1の例外を発生する回路とを有するプロセッサ。

【請求項2】上記副演算装置を使用する少なくとも一つの命令のために上記副演算装置を使用することを禁止するか否かを指定する、プログラムで設定可能な副演算装置使用モードビットを記憶するためのレジスタをさらに有し、

上記例外を発生する回路は、上記付加状態識別信号と上記副演算装置使用モードビットの値に依存して、上記副演算装置を使用する命令に応答して、上記第1の例外または第2の例外を発生する回路よりなる請求項1記載のプロセッサ。

【請求項3】上記第1、第2の例外を発生する回路は、上記副演算装置使用モードビットが上記副演算装置の使用禁止を指示していくなく、上記付加状態識別信号が上記副演算装置が上記CPUに付加されていないことを示すときに、上記副演算装置を使用する命令に応答して上記第1の例外を発生し、上記副演算装置使用モードビットが上記副演算装置の使用禁止を指示しているときには、上記付加状態識別信号が上記副演算装置が上記CPUに付加されていることを示すか否かに依らないで、上記副演算装置を使用する命令に応答して上記第2の例外を発生する請求項1記載のプロセッサ。

【請求項4】上記第1、第2の例外を発生する回路は、前記副演算装置を使用する命令が、分岐命令のディレインスロットで供給された場合と、そうでない場合に異なる例外を発行する請求項3記載のプロセッサ。

【請求項5】前記レジスタにより、前記副演算装置の一部又は、全部が不使用とされた時、不使用回路の消費電力を低減させる回路をさらに有する請求項1から5のいずれか一つに記載のプロセッサ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、副演算装置を付加可能な中央処理装置(CPU)を有するプロセッサに関する。

【0002】

【従来の技術】プロセッサの処理速度を高める技術として、CPUが実行できないあるいは実行できるが処理速度が遅い特定の演算等を迅速に実行するように設計された特定の演算装置をCPUに接続する技術が採用されている。以下では、CPUは主たる演算を行う主演算装置であるとも考えられるので、この特定の演算装置を副演算装置と呼ぶ。この副演算装置はコプロセッサとも呼ば

れることがある。

【0003】CPUに副演算装置を接続する方法にはいくつかの方法がある。たとえば第1のタイプのプロセッサでは、それが搭載された大規模集積回路チップ(LSI)に、別のLSI上に構成された副演算装置をバスを介して接続する。この場合、副演算装置をCPUに接続するか否かは、別のLSI上に構成された副演算装置をプロセッサを搭載したLSIに物理的に接続するか否かに依存する。

【0004】第2のタイプのプロセッサでは、そのプロセッサが搭載されたLSI上に、副演算装置も搭載される。この場合には、このLSIとは別に、副演算装置をCPUに接続しない用途のために、プロセッサが搭載され、副演算装置は搭載しない別のLSIが開発されている場合には、CPUに副演算装置を接続するか否かは、いずれのLSIを使用するか否かに依存する。CPUに副演算装置を接続したりしなかったりを切り換えるわけではない。したがって、本明細書では、上記いずれの場合も、副演算装置が使用可能な状態にあるプロセッサのことを、CPUに副演算装置が付加されていると呼ぶこととする。また、上記第1種、第2種のプロセッサのいずれにおいても、その中のCPUは、副演算装置を付加した状態あるいは付加しない状態でも使用可能である。したがって、以下では、そのCPUを副演算装置が付加可能なCPUと呼ぶ。

【0005】たとえば、第1のタイプのプロセッサの例として、米国ヒューレットパッカード社のマイクロプロセッサーアーキテクチャPA-RISC 1.1がある。副演算装置は、コプロセッサと呼ばれ、浮動小数点演算器(以下、FPUと呼ぶことがある)からなり、上記プロセッサとは別のLSI上に設けられている。上記PA-RISC 1.1マイクロプロセッサでは、そのプロセッサにCPUに副演算装置を現に付加していない場合、プロセッサで実行中のプログラムが副演算装置用の命令を発行した際に、CPUは、特定の例外を発生し、例外処理ルーチンを起動し、その例外処理ルーチンでもってその命令をエミュレーションするように構成されている。それにより、副演算装置が付加されている場合と同じ処理結果を得るようにして、ソフトウェアの互換性を確保している。すなわち、副演算装置がCPUに付加されていない場合、CPU内のCCRレジスタの該当ビットをソフトウェアにより0に設定すると、副演算装置を使用するための命令が実行されたときに、CPUは、assist emulation trapを発行し、その命令をエミュレーションするようになっている。同社発行のマニュアル"PA-RISC 1.1 Architecture and Instruction Set Reference Manual" 第5-172頁から第5-176頁参照。

【0006】上記第2のタイプのプロセッサとしては、たとえば、本出願人が開発したリスクプロセッサ日立S

(3)

特開2000-235489

3

uper HR ISCエンジンSH7750は、CPUを搭載したLSI上に副演算装置として浮動小数点演算器を搭載している。但し、その副演算装置が搭載されないでCPUのみを搭載したプロセッサを有するLSIは開発されていない。したがって、この副演算装置は、CPU内の演算装置として追加された演算装置であるとも考えることもできる。しかし、上記リスクプロセッサでは上記副演算装置は、後述するような特殊な例外を発生可能に構成され、CPU内の演算装置とは別に扱われているので、本明細書ではこの副演算装置もCPUに付加された演算装置と考え、これを有するプロセッサを上記第2のタイプのプロセッサと考える。

【0007】上記リスクプロセッサで実行中のプログラムが、副演算装置用の命令を実行した場合には、上記例外処理を実行する必要はない。しかし、上記リスクプロセッサでは、CPUに付加されている副演算装置を使用しないように、プログラムにより動作モードを設定可能になっている。すなわち、CPU内にプログラムで設定可能なモードレジスタが設けられ、このモードレジスタに副演算装置の使用不可がセットされた場合、その後副演算装置を使用する命令が発行されたときには、CPUは、例外を発生して、その命令をソフトウェアによりエミュレーションするようになっている。たとえば日立製作所発行の"SH7750プログラミングマニュアル"参照。

【0008】なお、CPUと副演算装置が実行すべき命令の選択を行う具体的な方法にはいくつかの方法がある。たとえば、一つの方法では、CPUがメモリからフェッチしたき命令がまずCPUに供給され、CPU内に設けられた命令解読回路が、この命令を解読し、その命令がCPUが実行すべき命令であるかあるいはその命令が副演算装置が実行すべき命令であるかを判定し、その命令がCPU内の演算装置で実行すべき命令であるときにはその命令をCPU内の演算装置に転送し、その命令が副演算装置で実行すべき命令であるときにはその命令をCPUから副演算装置に転送する方法である。

【0009】他の方法では、CPUがメモリからフェッチしたき命令がCPUと副演算装置の両方に並列に供給され、CPU内に設けられた命令解読回路が、この命令を解読し、その命令がCPUが実行すべき命令であるか否かを判定し、その命令がCPU内の演算装置で実行すべき命令であるときにはその命令をCPU内の演算装置に転送し、そうでないときにはその命令は廃棄する。副演算装置内に設けられた命令解読回路も、上記フェッチされた命令を並行して解読し、その命令が副演算装置が実行すべき命令であるか否かを判定し、その命令が副演算装置で実行すべき命令であるときにはその命令を副演算装置内の演算装置に転送し、そうでないときにはその命令は廃棄する。いずれの場合でも副演算装置がCPUがフェッチした命令を実行するので、本明細書ではいづ

れの場合も副演算装置がCPUに付加されていると考える。

【0010】

【発明が解決しようとする課題】上記第1のタイプのプロセッサでは、副演算装置命令の実行時に例外を発生するか否かを、ソフトウェアによって設定しなくてはならない。しかし、ソフトウェアによる設定が誤った場合に正常に動作しない。PA-RISC 1.1の例では、CCRレジスタの該当ビットに0を設定した場合、CPU内のCCRレジスタの該当ビットをソフトウェアにより0に設定すると、副演算装置を使用するための命令が実行されたときに、副演算装置がCPUに付加されていないと、上記のように例外処理が実行されるが、プログラムが間違ってCCRレジスタの該当ビットに1を設定した場合、副演算装置がCPUに付加されていないと、CPUの動作は未定義であり、CPUがどのような動作を実行するかは保証されていない。すなわち、必要な割り込みが発生することは保証されていない。したがって、副演算装置がCPUに付加されていないとき、誤ったソフトウェアによる設定による誤動作を回避できることが望ましい。

【0011】上記第2のタイプのプロセッサでは、副演算装置使用不可のモードの使用の仕方はユーザーに委ねられている。たとえば、プロセスの切り換え時の処理を軽減するのに使用することもあり得る。すなわち、副演算装置を全てのプロセスに対して使用すると、プロセッサで実行されるプロセスを切り替える毎に、それまで実行中であったプロセスが使用していたFPU内の複数の浮動小数点レジスタの内容をメモリに待避し、そのプロセスが後に再度実行されるときには、その待避された内容を上記複数の浮動小数点レジスタに回復する必要がある。したがって、プロセスによっては、その待避回復処理を避けるためにFPU用の命令（以下、FPU命令と呼ぶことがある）を使用しない方が高速に処理を実行できる場合がある。そのようなプロセスの実行前に上記モードレジスタにより上記FPUの不使用を指示すれば、このプロセスの起動時に上記浮動小数点レジスタの待避回復を行う必要がなくなる。したがって、誤ったソフトウェアによる設定を回避できるだけでなく、上記副演算装置使用不可のモードをユーザーにより適宜指定でき、不使用の指定があったときには、上記副演算装置を使用するための命令が実行されたときに、ユーザー指定の特定の処理ルーチンを実行可能にすることも望ましい。

【0012】したがって、本発明の目的は、ソフトウェアの設定に頼らずに、副演算装置をCPUに付加していないプロセッサにおいて副演算装置用の命令を実行した時に、例外を発生できるプロセッサを提供することである。

【0013】本発明の他の目的は、副演算装置が付加されているか否かに依らないで、副演算装置の使用不使用

50

(4)

特開2000-235489

5

をソフトウェアで指定でき、不使用の指定があったときには、上記例外と異なる例外を発生できるプロセッサを提供することである。

【0014】

【課題を解決するための手段】上記目的を達成するためには、本発明によるプロセッサ内に、副演算装置を付加可能なCPUに上記副演算装置が付加されているか否かの付加状態識別信号を発生する回路と、上記付加状態識別信号が上記副演算装置が上記CPUに付加されていないことを示すときに、上記副演算装置を使用する命令に応答して第1の例外を発生する回路とを設ける。

【0015】本発明の望ましい態様では、上記副演算装置を使用する少なくとも一つの命令のために上記副演算装置を使用することを禁止するか否かを指定する、プログラムで設定可能な副演算装置使用モードビットを記憶するためのレジスタをさらに設け、上記例外を発生する回路として、上記付加状態識別信号と上記副演算装置使用モードビットの値に依存して、上記副演算装置を使用する命令に応答して上記第1の例外と、上記第1の例外または第2の例外を発生する回路を設ける。

【0016】より具体的には、上記第1、第2の例外を発生する回路は、上記副演算装置使用モードビットが上記副演算装置の使用禁止を指示していない、上記付加状態識別信号が上記副演算装置が上記CPUに付加されていないことを示すときに、上記副演算装置を使用する命令に応答して上記第1の例外を発生し、上記副演算装置使用モードビットが上記副演算装置の使用禁止を指示しているときには、上記付加状態識別信号が上記副演算装置が上記CPUに付加されていることを示すか否かに依らないで、上記副演算装置を使用する命令に応答して上記第2の例外を発生する。

【0017】さらに、望ましくは、前記副演算装置用命令の実行が、分岐命令のディレイリストで起きた場合と、そうでない場合に異なる例外を発生させる。

【0018】

【発明の実施の形態】本実施の形態によるプロセッサは、2種類の副演算装置のいずれかをその中のCPUに付加可能である。すなわち、図1に示すプロセッサは、中央処理装置(CPU)10と、判定回路30と、命令キュー60と、モードレジスタ40と、例外発生回路50とを单一LSIチップ上に有し、さらに、CPU10と共に働く第1種の副演算装置20Aがそのチップ上に形成され、外付けのメモリ70が接続されている。一方、図2に示すプロセッサでは、CPU10と共に働く第2種の副演算装置20BがCPU10と同じLSIチップ上に形成されている。尚、メモリ70はランダムアクセスメモリ(DRAM)は、本実施の形態によるプロセッサの外部、すなわち、上記LSIチップ上にあるため、図では点線で示されている。しかし、そのDRAMの一部あるいは全部が上記LSI上に設けられてもよ

6

い。図1、図2に示される二つのプロセッサは、上記副演算装置20Aと20B以外の点では同じ構造を有する。

【0019】CPU10は、一般にプロセッサの主要な機能を実行し、ユーザによりあらかじめプログラムされた命令を実行する。メモリ70は、データ及びプログラムされた命令を記憶する。CPU10とメモリ70との間および副演算装置20Aまたは20Bとメモリ70との間のデータ転送はバス102を介して行われる。実際には、バス102はキャッシュメモリが付加され、メモリ70からのデータの読み出し、そこへの書き込みはこのキャッシュメモリを介して行われるが、ここでは簡単化のためにキャッシュメモリは図示されていない。同様に、メモリ70からの命令の読み出しもこのキャッシュメモリを介して行われる。CPU10内の命令フェッチ回路(図示せず)によりメモリ70よりバス102を介して命令が読み出され、命令キュー60に保持される。命令キュー60内の命令はバス103を介してCPU10と判定回路30と副演算装置20Aまたは20Bに送られる。命令のメモリ70からの読み出しも図示していないキャッシュメモリを介して行われる。

【0020】CPU10は、バス103を介して供給された命令を解読するデコーダ(図示せず)を有し、その命令がCPU10で実行可能であるか否かを判断し、その命令がCPU10で実行可能であるときには、その命令を実行するようにその命令の実行を開始する回路(図示せず)を有する。その命令がCPU10で実行可能でないときには、その命令を実行しない。CPU10が実行できる演算命令は、算術論理演算であるのが普通である。なお、図1または図2では、上記命令キュー60、以下に説明する判定回路30、モードレジスタ40、例外発生回路50が、CPU10の外部にあるかのように図示されているが、これらの回路は、実際にはCPU10内に上記デコーダの近傍に設けられている。

【0021】同様に、副演算装置20Aまたは20Bも、バス103を介して供給された命令を解読するデコーダ(図示せず)を有し、その命令がその装置で実行可能であるか否かを判断し、その命令がその装置で実行可能であるときには、その命令を実行するようにその命令の実行を開始する回路(図示せず)を有する。その命令がその副演算装置で実行可能でないときには、その命令を実行しないで廃棄する。副演算装置が実行できる演算命令は、CPU10が実行しない演算命令であり、副演算装置が第1種の副演算装置20Aであるか第2種の副演算装置20Bであるかにより異なる。

【0022】第1種の副演算装置20Aは、たとえば整数演算器(図示せず)および浮動小数点演算器(図示せず)を有し、これらの演算器を使用する命令を実行可能である。浮動小数点演算器は浮動小数点データに対する加減算、乗算、除算、積和演算を実行可能であるとす

(5)

特開2000-235489

7

る。この副演算装置には、図1に示すように、上記二つの演算器を示す計算要素23Aと、浮動小数点レジスタ群21と、ワークレジスタ22とを有する。ワークレジスタ22は、たとえば、整数積和演算 $A * B + C$ における加算オペランドCを保持し、この積和演算の結果データを保持するのに使用される。一方、第2種の副演算装置は、上記整数乗算器を有し、浮動小数点演算器を有しない。すなわち、この副演算装置には、図2に示すように、上記整数乗算器を示す計算要素23Bとワークレジスタ22とを有する。ワークレジスタ22は、整数乗算器に供給するオペランドあるいはその演算結果データを保持するのに使用される。

【0023】副演算装置20A、20Bは、副演算装置の種類を識別するための1ビットの副演算装置付加状態識別ビットBを出力する回路(図示せず)を内蔵し、この副演算装置付加状態識別ビットBを線107を介して判定回路30に送る。副演算装置20A、20B内の副演算装置付加状態識別ビットBはそれぞれ0、1とする。上記回路が出力する付加状態識別ビットBはプログラム命令では書き換えてできないように、上記付加状態識別ビットBを出力する回路が構成されている。この付加状態識別ビットB出力回路は、最も簡単には、CPU10が搭載されているLSI上の接地電位と電源電位の一方を出力する回路でよい。あるいはその付加状態識別ビットBの出力回路は、1ビットの固定信号を出力する回路、あるいは一つのフリップフロップでもよい。あるいは複数のビットを固定的に記憶するレジスタの内の1ビットをその回路として使用してもよい。本実施の形態では副演算装置20Aあるいは20BがCPU10と同じLSI上に構成されているので、上記付加状態識別ビットB出力回路は、副演算装置20Aあるいは20B内に簡単に組み込むことができる。したがって、副演算装置が第1種の副演算装置20Aあるいは第2種の副演算装置20Bであるかに依っては、CPU10を含め他の回路部分を変更する必要はない。

【0024】モードレジスタ40は、その内容をプログラムで書き換える可能なレジスタで、副演算装置20Aで実行可能な特定の命令、ここでは副演算装置20Aで実行可能な全ての浮動小数点命令の各々を副演算装置20A内の浮動小数点演算器によりそのまま実行させるかあるいはその命令をエミュレーションで実行させるかを指示する副演算装置命令使用モードビットCを保持する。この副演算装置命令使用モードビットCは、線105を介して判定回路30に供給される。

【0025】判定回路30は、命令キュー60から供給された命令が、副演算装置20A内の特定の演算器を使用する命令、今の場合には浮動小数点演算器を使用する命令であるときに、モードレジスタ40から線105を介して供給される副演算装置命令使用モードビットCと副演算装置20Aまたは20Bより線107を介して供

8

給される副演算装置付加状態識別ビットBに基づいて、その命令を実行するかあるいはその命令を実行しないで例外を発生するかを判断する回路である。本実施の形態では、判定回路30は、以下に説明するように複数の判別結果、具体的には二つの判別結果出力X、Yを発生するように構成される。例外発生回路50は、判定回路30により発生された判別結果出力X、Yの値に依存して、複数の例外、具体的には例外1、2のいずれかを発生する。

10 【0026】より具体的には、判定回路30では、FPU命令判定回路31が、バス103に供給された命令が浮動小数点演算器で実行される命令(以下、FPU命令と呼ぶ)であるか否かを判定し、その命令がFPU命令であるか否かによりその判定結果出力Aを1または0とする回路である。状態判定回路32は、FPU命令判定結果A、副演算装置付加状態識別ビットB、副演算装置命令使用モードビットCに基づいて、プロセッサが例外を発生すべき状態にあるか否かを判定する回路であり、具体的には、下記の表1に従いその出力X、Yを発生するし、線106を介して例外発生回路50に供給する論理回路からなる。

【0027】

【表1】

	入力			出力	
	A	B	C	X	Y
30	1	0	0	0	0
	1	0	1	1	1
	1	1	0	1	0
	1	1	1	1	1
	0	0	0	0	0
	0	0	1	0	0
	0	1	0	0	0
	0	1	1	0	0

すなわち、出力Xが0となるのは、FPU命令判定結果Aが1であるときには、副演算装置付加状態識別ビットBが0、副演算装置命令使用モードビットCが1のときに0となる。出力Xが1となるのは、FPU命令判定結果Aが1であるときには、副演算装置付加状態識別ビットBと副演算装置命令使用モードビットCの一方が少なくとも1のときである。

【0028】出力Yが1となるのは、FPU命令判定結果Aが1であるときには、副演算装置命令使用モードビットCが1のときである。

【0029】図3には、例外発生回路50が発生する例外1、2と上記出力X、Yとの関係を示す。例外発生回路50は、出力Xが0のときには、いずれの例外も発生しない。すなわち、副演算装置付加状態識別ビットBが0、副演算装置命令使用モードビットCが1のときには、バス103に供給された命令がFPU命令であって

50

(6)

特開2000-235489

9

もいづれの例外も発生されない。言い換えると、CPU 10 に付加された副演算装置が浮動小数点演算器を内蔵する第1種の副演算装置 20A であり、モードレジスタ 40 にセットされた副演算装置命令使用モードビット C が FPU 命令をそのまま実行することを指示しているときには、バス 103 に供給された FPU 命令に対しては例外が発生されず、その FPU 命令は副演算装置 20A により実行されることになる。

【0030】例外 1 が発生されるのは、出力 X が 1 であり、出力 Y が 0 のときである。すなわち、FPU 命令判定結果 A が 1 で、副演算装置付加状態識別ビット B が 1 であり、副演算装置命令使用モードビット C が 0 のときである。言い換えると、バス 103 に供給された命令が FPU 命令であり、CPU 10 に付加された副演算装置が浮動小数点演算器を内蔵しない第2種の副演算装置 20B であり、モードレジスタ 40 にセットされた副演算装置命令使用モードビット C が FPU 命令をそのまま実行することを指示しているときである。この例外 1 は、線 108 を介して CPU 10 とそこに付加された副演算装置（今の場合には第2種の副演算装置 20B）とに転送される。第2種の副演算装置 20B は、例外 1 に応答して、バス 103 を介してそこに供給された FPU 命令の実行を中止する回路を有する。CPU 10 の割り込み処理回路（図示せず）は、例外 1 に応答し、予め定められた例外 1 を処理するルーチンを起動する。そのルーチンの例は後述する。

【0031】従来の PA-RISC 1.1 アーキテクチャのプロセッサのように、副演算装置が CPU に付加されていないときには CCR レジスタにソフトウェアによりビット 0 を書き込むように定められているにもかかわらず、ソフトウェアにより誤ってビット 1 を設定した場合には、副演算装置を使用する命令が実行されたときに、CPU の動作が保証されていないので必要な割り込みが発生することは保証されていない。しかし、本実施の形態では、以上の説明から分かるように、CPU 10 に付加された副演算装置が浮動小数点演算器を内蔵しない第2種の副演算装置 20B であり、モードレジスタ 40 にセットされた副演算装置命令使用モードビット C が FPU 命令をそのまま実行することを指示しているときには、バス 103 に FPU 命令が供給されたとき、必ず例外 1 が発生し、上記の従来技術の問題はない。なお、副演算装置命令使用モードビット C が間違って不使用に設定されたときには、上記例外 1 に代えて後述する例外 2 が発生するので、この副演算装置命令使用モードビット C がソフトウェアにより間違って設定されても、後に示すようにしてこの例外 2 の処理ルーチンで正常に動作させることができる。

【0032】例外 2 が発生されるのは、出力 Y が 0 のときである。このときは、出力 X が 0, 1 のいづれであってもよい。すなわち、FPU 命令判定結果 A が 1 で、副

10

演算装置命令使用モードビット C が 1 のときである。副演算装置付加状態識別ビット B が 1 であるか 0 であるかには依らない。言い換えると、バス 103 に供給された命令が FPU 命令であり、モードレジスタ 40 にセットされた副演算装置命令使用モードビット C が FPU 命令をそのまま実行しないでエミュレーションにより実行することを指示しているときである。このときには、CPU 10 に付加された副演算装置が浮動小数点演算器を内蔵する第1種の副演算装置 20A であるか、浮動小数点演算器を内蔵しない第2種の副演算装置 20B であるかに依らないで、例外 2 が発生される。この例外 2 は線 108 を介して CPU 10 とそれに付加された副演算装置 20A または 20B に転送される。その副演算装置が第1種の副演算装置 20A であるときには、その副演算装置は、例外 2 に応答して、バス 103 を介してそこに供給された FPU 命令の実行を中止する回路を有する。その副演算装置が第2種の副演算装置 20B であるときには、その副演算装置は元々その命令を実行しないように形成されている。CPU 10 の割り込み処理回路（図示せず）は、例外 2 に応答して、予め定められた例外 2 を処理するルーチンを起動する。そのルーチンの例は後述する。このように、本実施の形態では、副演算装置 20A が CPU 10 に付加されている場合でも、例外 1 に加えて例外 2 をソフトウェアにより指定可能なモードビット C により発生させることができる。

【0033】以上の説明から明らかなように、例外 1 は、第2種の副演算装置が CPU に付加されているプロセッサにおいて、第1種の副演算装置が CPU に付加されているプロセッサで同じプログラムを実行したときと同じ結果を生成するために使用できる。すなわち、図 4 に例示するように、CPU 10 が実行する例外 1 を処理するルーチンでは、その例外 1 を生成した FPU 命令をソフトウェアでエミュレーションし（ステップ 41）、それでもって例外 1 の処理を終了し、例外 1 の発生前に実行中であった元のプログラムに復帰すればよい（ステップ 42）。

【0034】一方、以上の説明から明らかなように、例外 2 は、実行中のプログラムが発行する FPU 命令をそのまま実行しないで、エミュレーションにより実行することをそのプログラムのユーザが指定する場合に発生される。FPU 命令をエミュレーションにより実行させるモードは、たとえば FPU 命令を、本来の FPU 命令としてではなく、ユーザが定義した特定の処理を実行することを要求する命令（以下、この命令を機能変更命令と呼ぶ）として実行させたい場合に使用できる。ユーザが浮動小数点演算器を使用する全命令の内のいくつかを機能変更命令として使用するときには、それぞれの機能変更命令が要求する処理を実行するソフトウェアエミュレーションで実行するための処理ルーチンをプログラムし、メモリ 70 に記憶し、その機能変更命令をいづれの

(7)

特開2000-235489

11

FPU命令の代わりに使用するかを指定する命令対比情報を作成するメモリ70に記憶しておき、後にいずれかのFPU命令により例外2が発生されたときに、CPU10により、そのFPU命令に対して代わりに使用する機能変更命令を上記命令対比情報により判別し、判別された機能変更命令に対して準備された処理ルーチンを実行せねばよい。

【0035】しかし、このような使用モードが設定されているときには、本実施の形態では全FPU命令に対して例外2が発生される。全FPU命令の内、上記機能変更命令として使用しないFPU命令はFPU命令として実行させる必要がある。

【0036】したがって、以上の特定の使用モードを使用するための例外2の処理ルーチンは、たとえば図4(b)に示したものとなる。すなわち、あるFPU命令に対して例外2が発生されたときに、そのFPU命令が機能変更命令であるか否かを上記メモリ70に記憶された、上記命令対比情報を使用して判定し(ステップ43)、そのFPU命令が機能変更命令であるときには、その機能変更命令に対して準備された処理ルーチンを実行することにより、そのFPU命令をソフトウェアエミュレーションにより実行し(ステップ48)、例外処理から復帰する(ステップ49)。一方、例外2を生成する原因となったそのFPU命令が機能変更命令でないときには、そのFPU命令を本来のFPU命令として実行させるためにモードレジスタ40内の上記モードビットCを一時的に0に変更し(ステップ44)、そのFPU命令を再度フェッチすることを指示する(ステップ45)。このために、CPU10内には、メモリ70からバス103を介してフェッチされた命令のアドレスを一時的に保持する回路を有し、例外発生回路50から例外2が供給されたときに、例外2の処理ルーチンからの指示に従って、この命令アドレスを使用してその命令を再度フェッチする回路(図示せず)が含まれている。

【0037】もし副演算装置が第1種の副演算装置20Aであるときには、再度フェッチされたそのFPU命令がバス103から判定回路30に供給されたときに、判定回路30は、出力Xを0としている。したがって、その命令は副演算装置20Aで実行されることになる。一方、その副演算装置が第2種の副演算装置20Bであるときには、判定回路30は、出力Xを1、Yを0としている。例外発生回路50はその命令に対しては例外1を発生し、CPU10は、例外1の処理ルーチンを起動し、エミュレーションによりその命令を実行する。その後、モードレジスタ40内の上記モードビットCを1に戻し(ステップ46)、例外処理から復帰する(ステップ47)。

【0038】なお、本実施の形態では、副演算装置命令使用モードビットCがまちがって設定された場合でも以

12

下のようにしてその間違いに対処可能である。すなわち、機能変更命令を使用しないユーザは、CPU10に第2種の副演算装置20Bが付加されているプロセッサでは、副演算装置命令使用モードビットCを0に設定すべきである。この設定が正しく行われたときには、フェッチされた命令がFPU命令であるときには、すでに述べたように例外1が発生される。しかし、そのユーザが副演算装置命令使用モードビットCをまちがって1に設定した場合、フェッチされた命令がFPU命令であるときには、すでに述べたように例外2が発生される。図4の例外2処理ルーチンでは、このFPU命令は機能変更命令でないのでステップ44から47が実行される。ステップ44では、モードレジスタ40を一時的に0にセットされる、FPU命令が再度フェッチされる。今のプロセッサでは、このフェッチ命令に対して例外1が発生し、そのFPU命令はエミュレーションにより実行されることになる。したがって、例外2の処理ルーチンをたとえば図4のものにすれば、上記副演算装置命令使用モードビットCのユーザによる設定の誤りの影響を回避ができることができる。このことは本実施の形態では、副演算装置命令使用モードビットCの値が1か0かに依らないで例外が発生するように、判定回路30、例外発生回路50が構成されていることによる。

【0039】なお、エミュレーションソフトウェアの実装を容易化するため、FPU命令が分岐命令のディレイスロットで実行された場合とそれ以外の場合で異なる例外を発生するように、判定回路30、例外発生回路50を構成することもできる。すなわち、FPU命令が分岐命令のディレイスロットで実行された場合、例外A、例外Bの代わりに例外A1、例外B1を発生し、FPU命令が分岐命令のディレイスロット以外で実行された場合、例外A、例外Bの代わりに例外A2、例外B2を発生させる。この場合、例外A1、例外B1に対する例外処理ルーチンでは、分岐命令実行後の命令のアドレスを戻りアドレスとし、例外A2、例外B2に対する例外処理ルーチンでは、当該FPU命令の次の命令のアドレスを戻りアドレスとする。

【0040】また、第1種の副演算装置20Aの消費電力を低減するための回路を付加することもできる。すなわち、判定回路30の出力Xが1の時は、例外1または2が発生され、出力Xが1の間は、第1種の副演算装置20A内の浮動小数点演算器は使用されない。したがって、副演算装置20Aの回路の内、使用される可能性があるのは、整数乗算命令で使用される回路だけである。したがって、図5に示すように、副演算装置20A内の回路を、整数乗算命令で使用する回路部分と整数乗算命令では使用しない回路部分とに区分し、前者には常時動作クロックを線111を介して供給し、後者には、出力Xが0のときには、動作クロックを線111を介して供給し、出力Xが1のときには、その動作クロックの供給を

50

(8)

特開2000-235489

13

停止するための論理ゲート24, 25を設ければよい。

【0041】なお、以上において、第1種、第2種の副演算装置20A、20Bには共通に整数乗算器が設けられて、CPU10にはいずれか一方の副演算装置が付加され、かつ、CPU10と副演算装置20A、20Bは同一のLSIチップ上に搭載されていた。しかし、本発明はこのような特定の副演算装置あるいはCPUに限定されない。たとえば、プロセッサに付加可能な副演算装置は一つであり、その副演算装置をCPUに付加する場合とそうでない場合とがあり、かつ、副演算装置がCPUと同じLSI上にある場合にも本発明を適用できる。この場合には、副演算装置がそのLSI上に設けられないときには、CPUが搭載されたLSI上に、副演算装置付加状態識別ビットBとして1を出力し、副演算装置がそのLSI上に設けられないときには、副演算装置付加状態識別ビットBとして0を出力する回路をそのLSI上に設ければよいことは先の実施の形態と実質的に同じである。

【0042】さらに上記の副演算装置がプロセッサと異なるLSI上にある場合にも本発明を適用できる。この場合にも、設けることも望ましい。副演算装置を搭載したLSIがプロセッサを搭載したLSIに付加されているときには、プロセッサが搭載されたLSIに副演算装置付加状態識別ビットBとして1を供給し、副演算装置を搭載したLSIがプロセッサを搭載したLSIに付加されているときには、副演算装置付加状態識別ビットBとして0を供給する回路をプロセッサが搭載されたLSI上に設ければよい。あるいは、プロセッサが搭載されたLSIを保持するボードにその回路を設ければよい。この場合には、プロセッサを搭載したLSI上の上記判定回路にそのビットを供給する線路をそのLSI上に設ける必要がある。この線路はいわば上記ビットを供給するための回路とも考えることもできる。

【0043】なお、以上において、CPU10がメモリ70からフェッチした命令がCPU10と副演算装置20Aまたは20Bの両方に並列に供給され、CPU10内に設けられた命令デコーダ(図示せず)と副演算装置20Aまたは20B内に設けられた命令デコーダ(図示せず)とがそれぞれ上記フェッチされた命令を並行し

14

て解読し、それぞれその命令がCPU10が実行すべき命令であるか否かあるいはその命令が副演算装置20Aまたは20Bが実行すべき命令であるか否かを判定した。しかし、これに代えて、メモリ70からフェッチした命令がまずCPUに供給され、CPU内に設けられた命令デコーダが、この命令を解読し、その命令がCPUが実行すべき命令であるかあるいはその命令が副演算装置が実行すべき命令であるかを判定し、その命令がCPU内の演算装置で実行すべき命令であるときにはその命令をCPU内の演算装置に転送し、その命令が副演算装置で実行すべき命令であるときにはその命令をCPUから副演算装置に転送する方法を採用することもできる。

【0044】なお、本発明は、以上に示したプロセッサに限定されず、汎用用途のマイクロプロセッサあるいはデジタルシグナルプロセッサのような特定用途のプロセッサにも適用できる。

【0045】

【発明の効果】本発明によれば、ソフトウェアの設定に20頼らずに、副演算装置を付加しないプロセッサにおいて副演算装置用の命令を実行した時に、例外を発生できるプロセッサが得られる。

【0046】さらに、本発明によれば、副演算装置が付加されているか否かに依らないで、副演算装置の使用不使用をソフトウェアで指定でき、不使用の指定があったときには、上記例外と異なる例外を発生できるプロセッサが得られる。

【図面の簡単な説明】

【図1】本発明に係る、第1種の副演算装置が付加されたプロセッサの概略構成図である。

【図2】本発明に係る、第2種の副演算装置が付加されたプロセッサの概略構成図である。

【図3】図1または図2の装置に使用する例外発生回路の出力を説明する図である。

【図4】図1または図2の装置で使用可能な、例外1の処理ルーチンと例外2の処理ルーチンのフローチャートである。

【図5】図1の装置に使用可能な消費電力を低減した副演算装置の概略構成図である。

【図3】

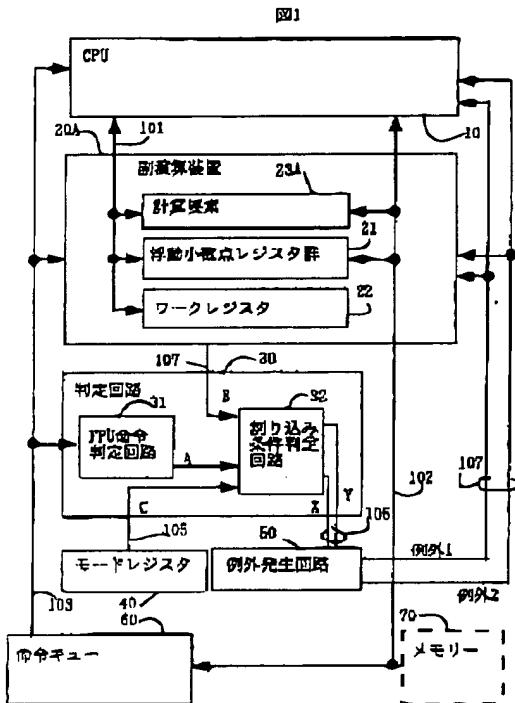
図3

X	Y	発生する例外
0	-	例外を発生しない
1	0	例外1
1	1	例外2

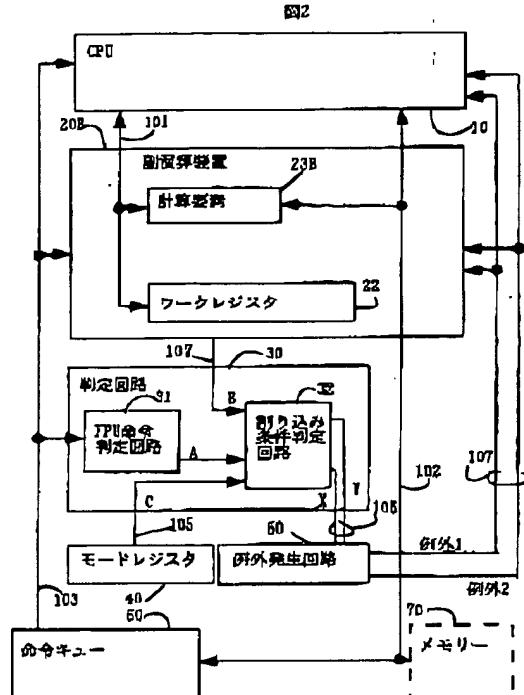
(9)

特開2000-235489

〔四一〕

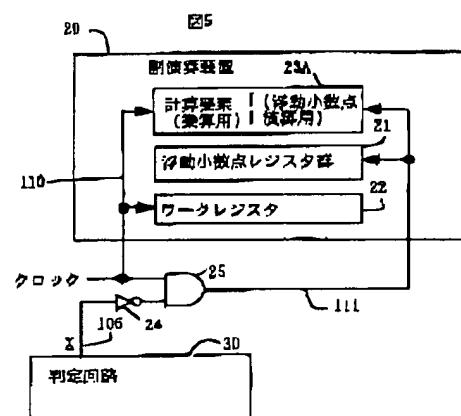
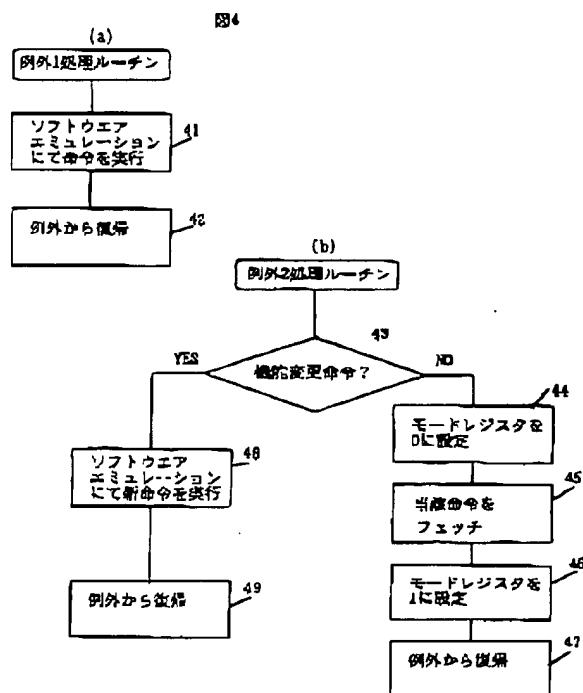


[四二]



〔图4〕

[図5]



(10)

特開2000-235489

フロントページの続き

(72) 発明者 津野田 賢伸
東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内
(72) 発明者 西井 修
東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

(72) 発明者 荒川 文男
東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内
F ターム(参考) 5B013 DD03
5B033 AA11 BA03